



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020030050999 (43) Publication Date. 20030625

(21) Application No.1020010081790 (22) Application Date. 20011220

(51) IPC Code:

H01L 27/115

(71) Applicant:

DONGBU ELECTRONICS CO., LTD.

(72) Inventor:

PARK, CHEOL SU

(30) Priority:

(54) Title of Invention

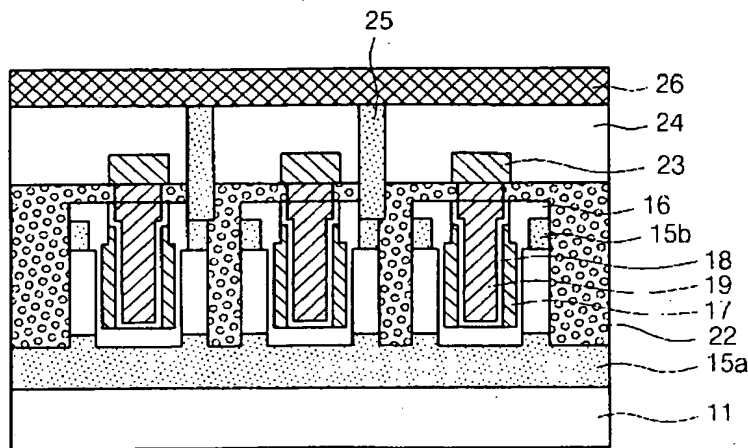
FLASH ELECTRICALLY ERASABLE AND PROGRAMMABLE READ-ONLY-MEMORY AND FABRICATING METHOD THEREOF

Representative drawing

(57) Abstract:

PURPOSE: A flash electrically erasable and programmable read-only-memory(EEPROM) is provided to guarantee a desired channel length without being affected by a reduced design rule by embodying the flash EEPROM in a concave groove.

CONSTITUTION: A concave groove of a predetermined depth is formed in a silicon substrate(11). A source region(15a) is formed in the bottom of the concave groove and in the substrate at the side of the concave groove. A drain region(15b) is formed in the substrate at the side of the upper portion of the concave groove. A tunnel oxide layer(16) has different thicknesses on the concave groove and the source/drain region. A floating gate(17) is formed on the tunnel oxide layer on the inner wall of the concave groove. A control gate insulation layer(18) is formed on the floating gate and the tunnel oxide layer. A control gate(1) is filled in the concave groove. A control gate electrode is formed on the control gate. An isolation layer has the same height as the control gate electrode, surrounding the concave groove. A wordline(23) is formed on the control gate electrode and the isolation layer adjacent to the control gate electrode. A planarization layer(24) is formed on the wordline and the isolation layer. Contact plugs for a source line(26) and a bitline(25) are formed in the planarization layer and the isolation layer to



contact the source/drain region. The bitline and the source line are formed on the planarization layer to contact the contact plugs for the source line the bitline.

© KIPO 2003

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 27/115

(11) 공개번호 특2003-0050999
(43) 공개일자 2003년06월25일

(21) 출원번호 10-2001-0081790
(22) 출원일자 2001년12월20일
(71) 출원인 동부전자 주식회사
서울 강남구 역삼1동 838
(72) 발명자 박철수
경기도이천시관고동223-14
(74) 대리인 강성배

심사청구 : 있음

(54) 플래쉬 이이피롬 및 그 제조방법

요약

본 발명은 플래쉬 이이피롬 및 그 제조방법을 개시하며, 개시된 본 발명의 플래쉬 이이피롬은, 소정 깊이의 요홈을 갖는 실리콘 기판; 상기 요홈 저부와 그 측면의 기판 부위에 형성된 소오스 영역과, 상기 요홈 상부의 측면 기판 표면 내에 형성된 드레인 영역; 상기 요홈의 표면 및 소오스/드레인 영역 상에 서로 다른 두께로 형성된 터널산화막; 상기 요홈 내벽의 터널산화막 상에 형성된 플로팅 게이트; 상기 플로팅 게이트 및 터널산화막 상에 형성된 콘트롤 게이트 절연막; 상기 요홈을 매립시키도록 형성된 콘트롤 게이트; 상기 콘트롤 게이트 상에 형성된 콘트롤 게이트 전극; 상기 요홈을 둘러싸면서 상기 콘트롤 게이트 상에 형성된 워드라인; 상기 워드라인 및 소자분리막 상에 형성된 평탄화막; 상기 평탄화막과 소자분리막 내에 상기 소오스 영역 및 드레인 영역과 각각 콘택되도록 형성된 소오스라인용 콘택플러그와 비트라인용 콘택플러그; 및 상기 평탄화막 상에 상기 소오스라인용 콘택플러그 및 비트라인용 콘택플러그와 각각 콘택하도록 형성된 비트라인과 소오스라인을 포함하는 것을 특징으로 한다.

대표도

도3f

명세서

도면의 간단한 설명

도 1은 종래 기술에 따라 제조된 플래쉬 이이피롬 셀의 단면도.

도 2는 본 발명의 실시예에 따른 플래쉬 이이피롬의 평면도.

도 3a 내지 도 3f는 본 발명의 실시예에 따른 플래쉬 이이피롬 제조방법을 설명하기 위해 도 2의 A-A'선에 따라 절단하여 도시한 공정별 단면도.

* 도면의 주요 부분에 대한 부호의 설명 *

- | | |
|------------------|---------------|
| 11 : 실리콘 기판 | 12 : 패드산화막 |
| 13 : 제1마스크 패턴 | 14 : 요홈 |
| 15a : 소오스 영역 | 15b : 드레인 영역 |
| 16 : 터널산화막 | 17 : 플로팅 게이트 |
| 18 : 콘트롤 게이트 절연막 | 19 : 콘트롤 게이트 |
| 20 : 콘트롤 게이트 전극 | 21 : 제2마스크 패턴 |
| 22 : 트렌치 | 23 : 워드 라인 |
| 24 : 평탄화막 | 25 : 비트라인 |
| 26 : 소오스 라인 | |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플래쉬 이이피롬에 관한 것으로, 보다 상세하게는, 요홈 내에 수직으로 형성시킨 플래쉬 이이피롬 및 그 제조방법에 관한 것이다.

플래쉬 이이피롬(Flash EEPROM)은 시스템의 소형화, 경량화 및 휴대화됨에 따라, 프로그램(program) 및 지우기(erase) 특성을 구비한 이피롬(EPROM: Erasable Programmable Read-Only Memory)과 전기적으로 프로그램 및 지우기 특성을 확보하는 이이피롬(EEPROM: Electrically Erasable Programmable ROM)의 장점을 살려 제조된 비휘발성 기억소자의 하나이다.

이러한 플래쉬 이이피롬은 한 개의 트랜지스터로서 한 비트의 저장 상태를 실현하며, 전기적으로 프로그램과 지우기 동작을 수행한다. 여기서, '플래쉬'란 지우기 동작 동안에 전체 메모리 블록(Block) 혹은 라아지 블록(large block)이 동시에 지워진다는 의미를 내포한다.

이와 같은 플래쉬 이이피롬에 있어서, 프로그램 및 지우기는 12V/5V 겸용 전원을 사용하여 수행하며, 특히, 프로그램 동작은 외부의 고전압에 의한 열전자(hot electron)를 이용하고, 지우기 동작은 F-N(Fowler-Nordheim) 터널링을 이용한다.

도 1은 종래 기술에 따라 제조된 플래쉬 이이피롬 셀의 단면도이다.

도시된 바와 같이, 플래쉬 이이피롬 셀은 크게 플로팅 게이트(3)와 콘트롤 게이트(5)가 적층된 구조이며, 기판(1)과 플로팅 게이트(3) 사이에는 박막의 터널산화막(2)이 개재되고, 플로팅 게이트(3)와 콘트롤 게이트(5) 사이에는 콘트롤 게이트 절연막(4)이 개재된다. 또한, 게이트 양측의 기판(1) 영역에는 소오스 및 드레인 영역(6, 7)이 형성된다.

이와 같은 구조의 플래쉬 이이피롬 셀에 있어서, 상기 소오스 전극(6)은 플로팅 게이트(3)에 축적된 전자를 지우는 역할을 담당하며, 상기 터널산화막(2)은 플로팅 게이트(3)에 축적된 전하가 소오스 영역(6)에 인가된 고전압에 의해 상기 소오스 영역(6)과의 중첩영역을 통하여 터널링되어 지워질 수 있도록 100 Å 정도의 두께로 형성된다.

한편, 플래쉬 이이피롬에서의 쓰기(write 또는 program) 동작은 콘트롤 게이트(5)와 드레인 영역(7)에 정(Positive)의 고전압이 인가되는 것에 의해 상기 드레인 영역(7) 부근의 채널에서 발생한 고에너지의 열전자(hot electron)가 터널산화막(2)의 포텐셜 장벽을 뛰어 넘어 플로팅 게이트(3)에 주입되어 이행된다.

발명이 이루고자하는 기술적 과제

그러나, 전술한 바와 같은 종래의 플래쉬 이이피롬은 디자인 룰의 감소에 따른 채널 길이의 축소에 어려움이 있기 때문에 고집적화에 한계가 있다.

또한, 종래의 플래쉬 이이피롬은 플로팅 게이트와 콘트롤 게이트가 단순 적층 구조로 배치된 것으로 인해 게이트들간의 접촉 면적이 작으며, 그래서, 프로그램 및 지우기 특성 향상에 어려움이 있다.

따라서, 본 발명은 상기와 같은 문제점을 해결하기 위해 안출된 것으로서, 고집적화가 용이하면서 특성 향상이 가능하도록 한 플래쉬 이이피롬 및 그 제조방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명의 플래쉬 이이피롬은, 소정 깊이의 요홈을 갖는 실리콘 기판; 상기 요홈 저부와 그 측면의 기판 부위에 형성된 소오스 영역과, 상기 요홈 상부의 측면 기판 표면 내에 형성된 드레인 영역; 상기 요홈의 표면 및 소오스/드레인 영역 상에 상이한 두께로 형성된 터널산화막; 상기 요홈 내벽의 터널산화막 상에 형성된 플로팅 게이트; 상기 플로팅 게이트 및 터널산화막 상에 형성된 콘트롤 게이트 절연막; 상기 요홈을 매립시키도록 형성된 콘트롤 게이트; 상기 콘트롤 게이트 상에 형성된 콘트롤 게이트 전극; 상기 요홈을 둘러싸면서 상기 콘트롤 게이트 전극과 동일한 높이로 형성된 소자분리막; 상기 콘트롤 게이트 전극 및 이에 인접한 소자분리막 상에 형성된 워드라인; 상기 워드라인 및 소자분리막 상에 형성된 평탄화막; 상기 평탄화막과 소자분리막 내에 상기 소오스 영역 및 드레인 영역과 각각 콘택되도록 형성된 소오스라인용 콘택플러그와 비트라인용 콘택 플러그; 및 상기 평탄화막 상에 소오스라인용 콘택플러그 및 비트라인용 콘택플러그와 각각 콘택하도록 형성된 비트라인과 소오스라인을 포함한다.

본 발명의 플래쉬 이이피롬은 드레인 영역 아래에 형성된 핫 캐리어 제너레이션 인헨싱(Hot carrier generation Enhancing) 영역을 더 포함한다.

본 발명의 플래쉬 이이피롬에 있어서, 상기 요홈은 바람직하게 사각형의 홈으로 구비되며, 상기 터널산화막은 소오스/드레인 영역 상에 형성된 그것이 요홈의 벽면에서 보다 두껍게 형성된다.

또한, 본 발명의 플래쉬 이이피롬 제조방법은, 실리콘 기판 내에 소정 형상 및 깊이의 요홈을 형성하는 단계; 상기 요홈 저부 및 그 측면의 기판 부위와 상기 요홈 상부 측면의 기판 표면 내에 서로 다른 에너지의 이온주입을 2회 수행하여 각각 소오스 영역과 드레인 영역을 형성하는 단계; 상기 요홈의 내벽과 소오스/드레인 영역 상에 열공정을 통해 서로 다른 두께로 터널산화막을 형성하는 단계; 상기 터널산화막 상에 제1도전막을 증착하는 단계; 상기 제1도전막을 블랭킹 건식식각하여 상기 요홈 내벽의 터널산화막 상에 플로팅 게이트를 형성하는 단계; 상기 플로팅 게이트 및 터널산화막 상에 콘트롤 게이트 절연막을 형성하는 단계; 상기 콘트롤 게이트 절연막 상에 상기 요홈이 완전 매립되도록 제2도전막을 증착하는 단계; 상기 요홈 내에 콘트롤 게이트가 형성되도록, 상기 터널산화막이 노출될 때까지 상기 제2도전막 및 콘트롤 게이트 절연막을 연마하는 단계; 상기 콘트롤 게이트 물질을 씨드로해서 상기 콘트롤 게이트 상에 소정 높이로 콘트롤 게이트 전극을 형성하는 단계; 상기 터널산화막, 드레인 영역, 기판 및 소

오스 영역을 선택적으로 식각하여 소자분리영역을 한정하는 트렌치를 형성하는 단계; 상기 트렌치가 완전 매립되도록 상기 결과물 상에 절연막을 증착하는 단계; 상기 콘트롤 게이트 전극이 노출될 때까지 상기 절연막을 연마하여 소자분리막을 형성하는 단계; 상기 콘트롤 게이트 전극 및 소자분리막 상에 워드 라인을 형성하는 단계; 상기 워드라인 및 소자분리막 상에 평탄화막을 형성하는 단계; 상기 평탄화막 및 소자분리막 내에 상기 소오스 영역 및 드레인 영역과 각각 콘택되는 제1 및 제2콘택플러그를 형성하는 단계; 및 상기 평탄화막 상에 제1 및 제2콘택플러그와 각각 콘택되는 소오스라인 및 비트라인을 형성하는 단계를 포함한다.

본 발명의 플래쉬 이이피룸 제조방법은 상기 드레인 영역의 형성 전, 또는, 그 후에 핫 캐리어 제너레이션 인핸싱(Hot carrier generation Enhancing) 영역을 형성하는 단계를 더 포함한다.

본 발명의 플래쉬 이이피룸 제조방법에 있어서, 상기 요홈은 사각형의 홈으로 형성하며, 상기 터널산화막은 소오스 및 드레인 영역 상에서 요홈의 내벽 보다 더 두껍게 형성된다.

또한, 본 발명의 플래쉬 이이피룸 제조방법에 있어서, 상기 트렌치를 형성하는 단계는, 상기 콘트롤 게이트 전극 및 소자분리막 상에 소자분리영역을 한정하는 마스크 패턴을 형성하는 단계; 상기 마스크 패턴을 식각마스크로해서 상기 마스크 패턴에 의해 가려지지 않은 소자분리막 영역과 그 하부의 터널산화막, 드레인 영역 및 기판을 1차 식각하는 단계; 및 상기 1차 식각에 의해 노출된 소오스 영역의 소정 두께를 2차로 식각하는 단계를 포함하여 이루어지며, 상기 2차 식각은 바람직하게 200~500 Å의 두께를 식각한다.

본 발명에 따르면, 각 셀이 요홈 내에 수직으로 형성된 구조이므로, 셀 면적의 감소가 가능하게 되어 고 집적화를 달성할 수 있고, 아울러, 게이트들간의 접촉 면적 증대는 물론 터널산화막의 두께 감소 벡터에 크게 영향을 받지 않게 되어 특성 향상을 기대할 수 있다.

(실시예)

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하도록 한다.

도 2는 본 발명의 실시예에 따른 플래쉬 이이피룸의 평면도이다.

도시된 바와 같이, 기판 내에 수 개의 요홈(14)이 구비되고, 각 요홈(14) 내에는 터널산화막(16), 플로팅 게이트(17), 콘트롤 게이트 절연막(18) 및 콘트롤 게이트(19)가 그 벽면을 따라 차례로 설치된다.

또한, 워드라인(23)이 각 셀의 콘트롤 게이트 전극(20)과 콘택하면서 일방향으로 연장 배치되고, 비트라인(25)이 각 셀의 드레인 영역(도시안됨)과 콘택하면서 상기 워드라인(23)과 교차하는 방향으로 연장 배치된다.

아울러, 소오스 라인(26)이 수 개의 비트라인(25) 다음에 그와 평행하게 연장 배치되며, 이 소오스 라인(26)은 소오스 라인 콘택(SC)을 통해 소오스 영역(도시안됨)과 콘택된다.

이와 같은 구조의 본 발명에 따른 플래쉬 이이피룸은 요홈 내에 수직으로 설치된 구조이므로, 단지, 요홈의 깊이를 증가시키는 것으로부터 소망하는 채널 길이를 확보할 수 있고, 따라서, 디자인 룰(design rule)에 크게 영향을 받지 않게 되는 바, 고집적화에 매우 유리하다.

또한, 통상의 플래쉬 이이피룸은 플로팅 게이트와 콘트롤 게이트가 단순 적층된 구조를 갖기 때문에 게이트들간의 커플링 캐패시턴스 레시오(ratio)의 향상에 한계를 갖지만, 본 발명의 플래쉬 이이피룸은 게이트들간의 접촉 면적이 상대적으로 증대되므로 향상된 커플링 캐패시턴스 레시오를 갖게 되는 바, 프로그램 및 지우기 특성의 향상을 얻게 된다.

게다가, 터널산화막의 두께 변화에 큰 영향을 받지 않으므로, 소자의 신뢰성도 확보할 수 있다.

도 3a 내지 도 3f는 본 발명의 실시예에 따른 플래쉬 이이피룸 셀의 제조방법을 설명하기 위해 도 2의 A-A'선에 따라 절단하여 도시한 공정별 단면도로서, 이를 설명하면 다음과 같다.

도 3a를 참조하면, 공지의 방법에 따라 표면 내부에 p-웰(도시안됨)이 형성된 실리콘 기판(11)을 마련한다. 그런다음, 열공정을 통해 상기 기판(11) 상에 패드산화막(12)을 형성하고, 상기 패드산화막(12) 상에 마스크막, 예컨대, 감광막의 도포, 노광 및 현상을 통해 요홈 형성용 제1마스크 패턴(13)을 형성한다.

이어서, 상기 제1마스크 패턴(13)을 식각장벽으로해서 노출된 패드산화막 영역 및 그 하부의 실리콘 기판 영역을 소정 깊이만큼 식각하여 요홈(14)을 형성한다. 여기서, 상기 식각은 RIE(Reactive Ion Etching) 방식으로 수행하며, 특히, 상기 요홈(14)은 바람직하게 소망하는 채널 길이에 해당하는 깊이로 형성한다. 아울러, 상기 요홈(14)은 바람직하게 사각형의 홈으로 형성한다.

도 3b를 참조하면, 제1마스크 패턴 및 패드산화막을 제거한 상태에서, 서로 다른 에너지의 이온주입 공정을 연속해서 2회 수행하여 요홈(14)의 저부 및 그 측면의 기판 부위에 소오스 영역(15a)을 형성하고, 또한, 요홈(14)의 상부 외측의 기판 부위에 드레인 영역(15b)을 형성한다.

도 3c를 참조하면, 상기 단계까지 결과물을 열적으로 산화(oxidation) 및 질화(nitridation)시켜, 요홈(14)의 벽면과 소오스 영역(15a) 및 드레인 영역(15b)의 표면 상에 실리콘산화막(SiO₂)으로된 터널산화막(16)을 형성한다. 이때, 상기 노출된 소오스 및 드레인 영역(15a, 15b)의 표면 상에 형성되는 터널산화막(16)은, 도핑 농도 의존성에 따라, 요홈(14)의 벽면에 형성되는 것 보다 상대적으로 두껍게, 예컨대, 5~7배 이상 두껍게 형성된다. 아울러, 노출된 소오스 및 드레인 영역(15a, 15b)의 표면 일부가 함께 산화된다.

계속해서, 상기 터널산화막(16) 상에 플로팅 게이트용 도전막, 바람직하게 폴리실리콘막을 증착하고, 이를 식각마스크의 사용없이 블랭킷(blanket)으로 이방성 건식식각하여 요홈(14)의 측벽에 플로팅 게이트(17)를 형성한다. 그런다음, 상기 터널산화막(16)과 플로팅 게이트(17) 상에 ONO막과 같은 콘트롤

게이트용 절연막(18)을 증착한 후, 상기 요홈(14)이 완전 매립되도록 상기 ONO막(18) 상에 콘트롤 게이트용 도전막, 바람직하게, 폴리실리콘막을 증착한 상태에서, 상기 터널산화막(16)이 노출될 때까지 공지의 화학적기계연마(Chemical Mechanical Polishing: 이하, CMP) 공정으로 상기 도전막 및 절연막을 연마하여 표면 평탄화를 달성함과 동시에 상기 요홈(14) 내에 콘트롤 게이트(19)를 형성한다.

도 3d를 참조하면, 콘트롤 게이트 물질을 씨드(seed)로해서 노출된 콘트롤 게이트(19) 상에 선택적으로 폴리실리온(20)을 성장시킨다. 상기 폴리실리온(20)은 제조 완료된 플래쉬 이어피를 셀에서 콘트롤 게이트 전극의 역할을 하므로, 이하, 도면부호 20은 콘트롤 게이트 전극을 칭하는 것으로 한다.

도 3e를 참조하면, 상기 단계까지의 결과를 상에 감광막의 도포, 노광 및 현상을 수행하여 소자분리영역을 한정하는 제2마스크 패턴(21)을 형성한다. 그런다음, 제2마스크 패턴(21)에 의해 가려지지 않은 터널산화막 영역 및 그 하부의 드레인 영역 및 기판 영역을 1차로 식각한 후, 1차 식각에 의해 노출된 소오스 영역의 일부 두께, 예컨대, 표면으로부터 200~500Å의 두께 만큼을 2차로 식각하여 트렌치(22)를 형성한다.

도 3f를 참조하면, 제2마스크 패턴을 제거한 상태에서, 트렌치가 완전 매립되도록 상기 단계까지의 결과물 상에 산화막을 두껍게 증착하고, 그런다음, 콘트롤 게이트 전극(20)이 노출될 때까지 CMP 공정으로 상기 산화막을 연마하여 소자분리막(22)을 형성한다. 이어서, 상기 소자분리막(22) 및 콘트롤 게이트 전극(20) 상에 워드라인용 도전막을 증착하고, 이를 패터닝하여 상기 콘트롤 게이트 전극(20)과 콘택되는 워드라인(23)을 형성한다. 그런다음, 상기 워드라인(23) 및 소자분리막(22) 상에 평탄화막(24)을 증착한 후, 그 표면을 CMP 공정을 연마하여 평탄화시킨다.

다음으로, 평탄화막(24), 소자분리막(22), 콘트롤 게이트 절연막(18) 및 터널산화막(16)의 일부분을 선택적으로 식각하여 드레인 영역(15b)을 노출시키는 콘택홀을 형성하고, 이어, 상기 콘택홀 내에 플러그용 도전막을 매립시켜 비트라인용 콘택 플러그(25)를 형성한다. 이때, 도시하지는 않았으나, 상기 콘택홀의 형성시에는 소오스 영역(15a)의 일부분을 노출시키는 콘택홀을 함께 형성하며, 아울러, 비트라인용 콘택플러그(25)의 형성시에는 소오스 영역(15a)을 노출시키도록 형성된 콘택홀 내에도 도전막을 매립시켜 소오스용 콘택플러그를 함께 형성한다.

계속해서, 콘택플러그(25) 및 평탄화막(24) 상에 소정 도전막, 예컨대, 폴리실리콘막을 증착한 상태에서, 이를 패터닝하여 상기 비트라인용 콘택플러그(25)와 콘택되는 비트라인(26)을 형성하고, 아울러, 소오스용 콘택플러그와 콘택되는 소오스 라인을 형성하여, 본 발명의 플래쉬 이어피를 완성한다.

상기와 같은 공정에 따라 제조되는 본 발명의 플래쉬 이어피를, 전술한 바와 같이, 요홈 내에 수직으로 형성되는 바, 고집적화에 매우 유리하게 적용할 수 있으며, 아울러, 터널산화막의 두께 변화에 큰 영향을 받지 않음은 물론 게이트들간의 접촉 면적을 증대시킬 수 있어서 그 특성을 향상시킬 수 있다.

한편, 전술한 본 발명의 실시예에 있어서는 소자분리막의 형성을 콘트롤 게이트의 형성 후에 수행하였지만, 공정 초기, 예컨대, 웰 형성 이전에 수행하는 것도 가능하다.

아울러, 본 발명의 실시예에 있어서는 소오스 및 드레인 영역의 형성을 요홈이 형성 이후에 수행하였지만, 상기 요홈의 형성 이전에 수행하는 것도 가능하다.

또한, 드레인 영역의 형성 이전, 또는 형성 후에 상기 드레인 영역의 바로 아래에 핫 캐리어 제너레이션 인핸싱(Hot carrier generation Enhancing) 영역을 형성할 수 있으며, 이때, 상기 영역은 이온주입 뿐만 아니라, PSG 또는 BPG의 사용으로 형성할 수 있다.

따라서, 본 발명은 그 요지가 일탈하지 않는 범위에서 다양하게 변경하여 실시할 수 있다.

발명의 효과

이상에서와 같이, 본 발명은 요홈 내부에 플래쉬 이어피를 구현함으로써, 디자인 룰의 감소에 영향을 받음이 없이 소망하는 채널 길이를 확보할 수 있으며, 따라서, 고집적화를 달성할 수 있다.

또한, 본 발명은 요홈 내부에 플래쉬 이어피를 구현하므로, 플로팅 게이트와 콘트롤 게이트간의 접촉 면적을 증대시킬 수 있고, 이에 따라, 프로그램 및 지우기 등의 특성 향상을 기대할 수 있다.

게다가, 본 발명은 트렌치 캐패시터의 개념처럼 요홈 내부에 플래쉬 이어피를 구현한 것이므로, SOC(System On a Chip)의 구현을 용이하게 할 수 있다.

(57) 청구의 범위

청구항 1

소정 깊이의 요홈을 갖는 실리콘 기판;

상기 요홈 저부와 그 측면의 기판 부위에 형성된 소오스 영역과, 상기 요홈 상부의 측면 기판 표면 내에 형성된 드레인 영역;

상기 요홈의 표면 및 소오스/드레인 영역 상에 서로 다른 두께로 형성된 터널산화막;

상기 요홈 내벽의 터널산화막 상에 형성된 플로팅 게이트;

상기 플로팅 게이트 및 터널산화막 상에 형성된 콘트롤 게이트 절연막;

상기 요홈을 매립시키도록 형성된 콘트롤 게이트;

상기 콘트롤 게이트 상에 형성된 콘트롤 게이트 전극;

상기 요철을 둘러싸면서 상기 콘트롤 게이트 전극과 동일한 높이로 형성된 소자분리막;

상기 콘트롤 게이트 전극 및 이에 인접한 소자분리막 상에 형성된 워드라인;

상기 워드라인 및 소자분리막 상에 형성된 평탄화막;

상기 평탄화막과 소자분리막 내에 상기 소오스 영역 및 드레인 영역과 각각 콘택되도록 형성된 소오스라인용 콘택플러그와 비트라인용 콘택 플러그; 및

상기 평탄화막 상에 상기 소오스라인용 콘택플러그 및 비트라인용 콘택플러그와 각각 콘택하도록 형성된 비트라인과 소오스라인을 포함하는 것을 특징으로 하는 플래쉬 이이피롬.

청구항 2

제 1 항에 있어서, 상기 요철은 사각형의 홈인 것을 특징으로 하는 플래쉬 이이피롬.

청구항 3

제 1 항에 있어서, 상기 터널산화막은 소오스 및 드레인 영역 상에서 상기 요철의 내벽 보다 더 두껍게 형성된 것을 특징으로 하는 플래쉬 이이피롬.

청구항 4

제 1 항에 있어서, 상기 드레인 영역 하부에 형성된 핫 캐리어 제너레이션 인핸싱(Hot carrier generation Enhancing) 영역을 더 포함하는 것을 특징으로 하는 플래쉬 이이피롬.

청구항 5

실리콘 기판 내에 소정 형상 및 깊이의 요철을 형성하는 단계;

상기 요철 저부 및 그 측면의 기판 부위와 상기 요철 상부 측면의 기판 표면 내에 서로 다른 에너지의 이온주입을 2회 수행하여 각각 소오스 영역과 드레인 영역을 형성하는 단계;

상기 요철의 내벽과 소오스/드레인 영역 상에 열공정을 통해 서로 다른 두께로 터널산화막을 형성하는 단계;

상기 터널 산화막 상에 제1도전막을 증착하는 단계;

상기 제1도전막을 블랭킷 건식식각하여 상기 요철 내벽의 터널산화막 상에 플로팅 게이트를 형성하는 단계;

상기 플로팅 게이트 및 터널 산화막 상에 콘트롤 게이트 절연막을 형성하는 단계;

상기 콘트롤 게이트 절연막 상에 상기 요철이 완전 매립되도록 제2도전막을 증착하는 단계;

상기 요철 내에 콘트롤 게이트가 형성되도록, 상기 터널산화막이 노출될 때까지 상기 제2도전막 및 콘트롤 게이트 절연막을 연마하는 단계;

상기 콘트롤 게이트 물질을 씨드로해서 상기 콘트롤 게이트 상에 소정 높이로 콘트롤 게이트 전극을 형성하는 단계;

상기 터널산화막, 드레인 영역, 기판 및 소오스 영역을 선택적으로 식각하여 소자분리영역을 한정하는 트렌치를 형성하는 단계;

상기 트렌치가 완전 매립되도록 상기 결과물 상에 절연막을 증착하는 단계;

상기 콘트롤 게이트 전극이 노출될 때까지 상기 절연막을 연마하여 소자분리막을 형성하는 단계;

상기 콘트롤 게이트 전극 및 소자분리막 상에 워드라인을 형성하는 단계;

상기 워드라인 및 소자분리막 상에 평탄화막을 형성하는 단계;

상기 평탄화막 및 소자분리막 내에 상기 소오스 영역 및 드레인 영역과 각각 콘택되는 제1 및 제2콘택플러그를 형성하는 단계; 및

상기 평탄화막 상에 제1 및 제2콘택플러그와 각각 콘택되는 소오스라인 및 비트라인을 형성하는 단계를 포함하는 것을 특징으로 하는 플래쉬 이이피롬 제조방법.

청구항 6

제 5 항에 있어서, 상기 요철은 사각형의 홈으로 형성하는 것을 특징으로 하는 플래쉬 이이피롬 제조방법.

청구항 7

제 5 항에 있어서, 상기 터널산화막은 소오스 및 드레인 영역 상에서 요철의 내벽 보다 더 두껍게 형성되는 것을 특징으로 하는 플래쉬 이이피롬 제조방법.

청구항 8

제 5 항에 있어서, 상기 트렌치를 형성하는 단계는,

상기 콘트롤 게이트 전극 및 소자분리막 상에 소자분리영역을 한정하는 마스크 패턴을 형성하는 단계;

상기 마스크 패턴을 식각마스크로해서 상기 마스크 패턴에 의해 가려지지 않은 소자분리막 영역과 그 하

부의 터널산화막, 드레인 영역 및 기판을 1차 식각하는 단계; 및

상기 1차 식각에 의해 노출된 소오스 영역의 소정 두께를 2차로 식각하는 단계를 포함하는 것을 특징으로 하는 플래쉬 이이피롬 제조방법.

청구항 9

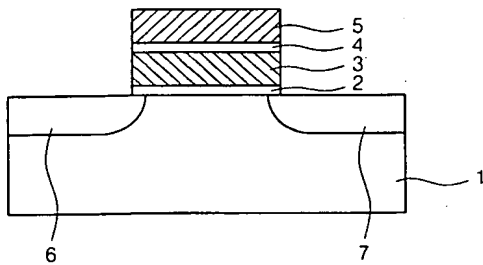
제 8 항에 있어서, 상기 2차 식각은 200~500Å의 두께를 식각하는 것을 특징으로 하는 플래쉬 이이피롬 제조방법.

청구항 10

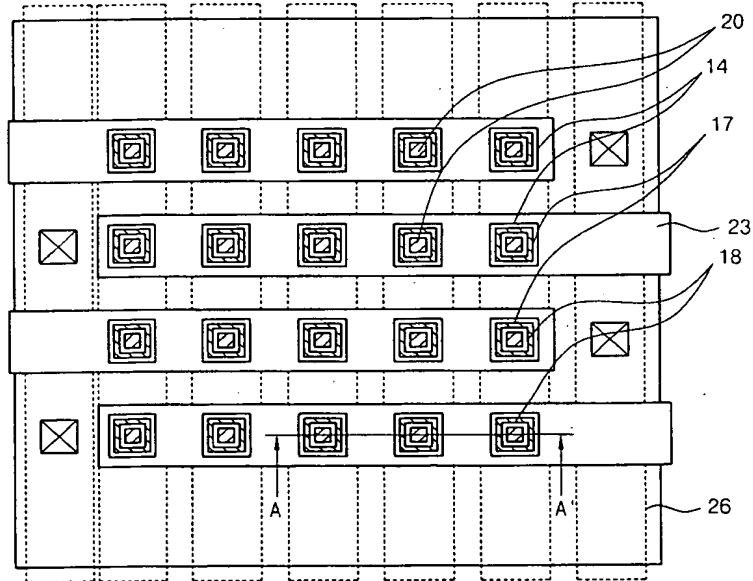
제 5 항에 있어서, 상기 드레인 영역의 형성 전, 또는, 그 후에 핫 캐리어 제너레이션 인핸싱(Hot carrier generation Enhancing) 영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 플래쉬 이이피롬 제조방법.

도면

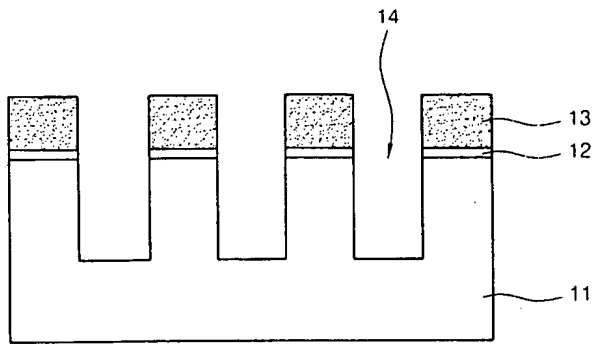
도면1



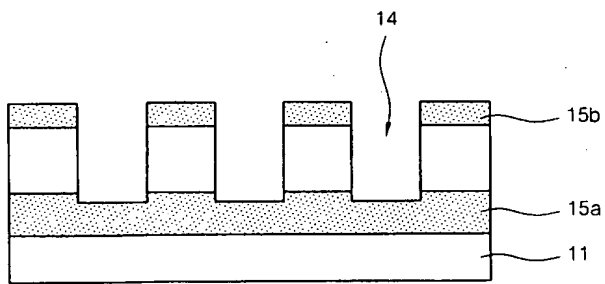
도면2



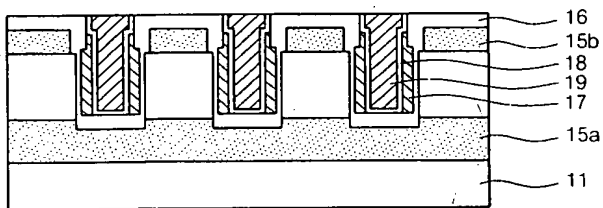
도면3a



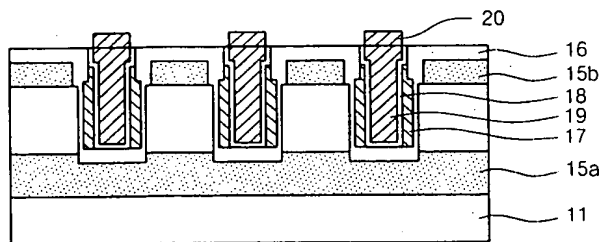
도면3b



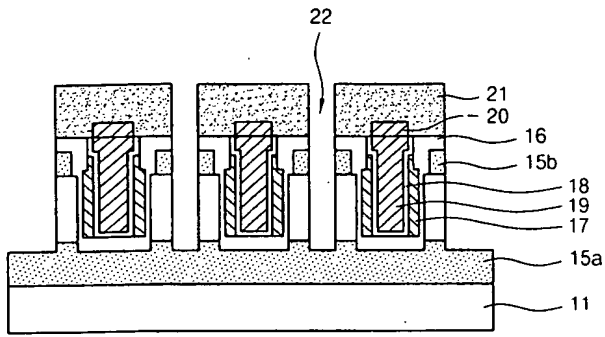
도면3c



도면3d



도면3e



도면3f

